

[First Hit](#) [Previous Doc](#) [Next Doc](#) [Go to Doc#](#)**End of Result Set** 

L1: Entry 1 of 2

File: JPAB

May 20, 1997

PUB-NO: JP409135029A

DOCUMENT-IDENTIFIER: JP 09135029 A

TITLE: MIS SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

PUBN-DATE: May 20, 1997

INVENTOR-INFORMATION:

NAME	COUNTRY
HORI, ATSUSHI	
UMIMOTO, HIROYUKI	
NAKAOKA, HIROAKI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	

APPL-NO: JP08232176

APPL-DATE: September 2, 1996

INT-CL (IPC): H01 L 29/78; H01 L 21/336; H01 L 21/8238; H01 L 27/092

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a manufacturing method for a MOS semiconductor device which has a high driving power, a low leakage current and superior reliability by simultaneously implanting impurity ions into a source-drain region and into a gate electrode.

SOLUTION: Side walls 6 are formed on both side surfaces of a gate electrode 5 on a semiconductor substrate 1. After phosphorus ions and boron ions are implanted into a p-type semiconductor region 2a and into an n-type semiconductor region 2b respectively, by a heating procedure an n-type gate electrode 5a with a low resistance and n-type source-drain region 10 are formed in the p-type semiconductor region 2a and a p-type gate electrode 5b and a p-type source-drain region 11 are formed in the n-type semiconductor region 2b. The phosphorus ions in the n-type gate 5a are sufficiently activated by such an annealing as the degree of boron in the p-type gate electrode 5b not being able to rush into a channel region, therefore a CMOS device having a high driving power, a low leakage current and superior reliability can be obtained.

COPYRIGHT: (C) 1997, JPO

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

[First Hit](#) [Previous Doc](#) [Next Doc](#) [Go to Doc#](#)☐ [Generate Collection](#) [Print](#)

L1: Entry 2 of 2

File: DWPI

May 20, 1997

DERWENT-ACC-NO: 1997-330602

DERWENT-WEEK: 199820

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: MIS type semiconductor device mfr. - involves forming n-type and p-type source-drain areas on either side of each gate electrodes formed on p-type and n-type semiconductor areas respectively

PATENT-ASSIGNEE:

ASSIGNEE

CODE

MATSUSHITA DENKI SANGYO KK

MATU

MATSUSHITA ELECTRIC IND CO LTD

MATU

PRIORITY-DATA: 1995JP-0226168 (September 4, 1995), 1996JP-0178099 (July 8, 1996)

[Search Selected](#)[Search ALL](#)[Clear](#)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
<input type="checkbox"/> JP 09135029 A	May 20, 1997		017	H01L029/78
<input type="checkbox"/> KR 97018666 A	April 30, 1997		000	H01L029/70

APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-NO	DESCRIPTOR
JP 09135029A	September 2, 1996	1996JP-0232176	
KR 97018666A	September 2, 1996	1996KR-0037816	

INT-CL (IPC): [H01 L 21/336](#); [H01 L 21/8238](#); [H01 L 27/092](#); [H01 L 29/70](#); [H01 L 29/78](#)

RELATED-ACC-NO: 1998-151532

ABSTRACTED-PUB-NO: JP 09135029A

BASIC-ABSTRACT:

The mfg method involves using a semiconductor substrate (1) with P and N type semiconductor areas (2a,2b). A gate electrode (5) is formed on the selected portion of the P and N type areas, through a gate insulating film. A side wall (6) for channel adjustment is formed on either sides of the gate electrode and the gate insulating film. The boron phosphorus ion are implanted into the P and N type semiconductor areas respectively, after ripening processing of the substrate is performed, using the gate electrode as a mask layer. The implanted phosphorus and boron ions are heated and diffused.

A low resistance P type and N type gate electrodes are formed by the gate electrodes of the P and N type semiconductor areas respectively. Low concentration N and type source-drain areas (10,11) are formed on either sides of each P and N type gate electrodes respectively. The diffusion of implanted ions at the time of heating into the channel area is prohibited.

ADVANTAGE - Reduces leakage current and parasitic capacitance value. Improves reliability.
Prevents deterioration of characteristics.

CHOSEN-DRAWING: Dwg.4/11

TITLE-TERMS: MIS TYPE SEMICONDUCTOR DEVICE MANUFACTURE FORMING N=TYPE P=TYPE SOURCE DRAIN AREA
SIDE GATE ELECTRODE FORMING P=TYPE N=TYPE SEMICONDUCTOR AREA RESPECTIVE

ADDL-INDEXING-TERMS:
CMIS

DERWENT-CLASS: L03 U11 U12 U13

CPI-CODES: L04-C02B; L04-C02D; L04-C11C; L04-C16;

EPI-CODES: U11-C18A3; U12-D02A; U13-D02A;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1997-106158

Non-CPI Secondary Accession Numbers: N1997-274371

[Previous Doc](#)

[Next Doc](#)

[Go to Doc#](#)

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平9-135029

(43)公開日 平成9年(1997)5月20日

(51)Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 P
21/336			27/08	3 2 1 N
21/8238			29/78	3 0 1 G
27/092				

審査請求 未請求 請求項の数17 O L (全 17 頁)

(21)出願番号 特願平8-232176

(22)出願日 平成8年(1996)9月2日

(31)優先権主張番号 特願平7-226168

(32)優先日 平7(1995)9月4日

(33)優先権主張国 日本(J P)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 堀 敦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 海本 博之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 中岡 弘明

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

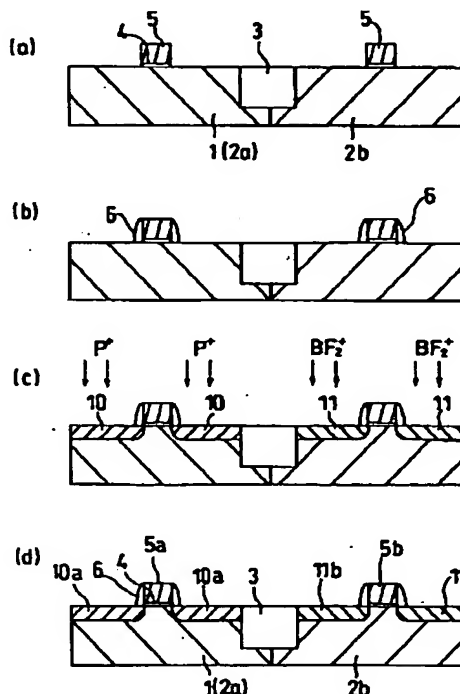
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 M I S型半導体装置及びその製造方法

(57)【要約】

【課題】 ソース・ドレイン領域とゲート電極とに不純物イオンを同時注入しながら、駆動力が高く、リーク電流が小さく、信頼性にも優れたMOS型半導体装置の製造方法を提供する。

【解決手段】 半導体基板1上のゲート電極5の両側面上にサイドウォール6を形成する。p型半導体領域2aでは燐イオンをn型半導体領域2bではホウ素イオンをそれぞれ注入した後熱処理を行って、p型半導体領域2aに低抵抗のn型ゲート電極5aとn型ソース・ドレイン領域10aとを形成し、n型半導体領域2bに低抵抗のp型ゲート電極5bとp型ソース・ドレイン領域11aとを形成する。p型ゲート電極5b中のボロンがチャネル領域に突き抜けにくい程度の熱処理でもn型ゲート5a中の燐イオンは十分活性化されるので、駆動力が大きく、リーク電流が小さく、かつ信頼性にも優れたCMOSデバイスを作成できる。



【特許請求の範囲】

【請求項1】 半導体基板上のnチャネル型MISトランジスタ形成領域の上にゲート絶縁膜を形成する第1の工程と、
上記ゲート絶縁膜上にゲート電極を形成する第2の工程と、
上記ゲート電極の両側面上にチャネル調整用サイドウォールを形成する第3の工程と、
上記nチャネル型MISトランジスタ形成領域において、上記チャネル調整用サイドウォールをマスクとして上記ゲート電極及び上記半導体基板の内部に燐イオンを注入する第4の工程と、
熱処理により上記燐イオンを拡散、活性化させて、上記ゲート電極を低抵抗のn型ゲート電極にするとともに上記半導体基板内の上記n型ゲート電極の両側方に位置する領域にn型ソース・ドレイン領域を形成する第5の工程とを備えていることを特徴とするMIS型半導体装置の製造方法。

【請求項2】 請求項1記載のMIS型半導体装置の製造方法において、
上記第3の工程で形成されるチャネル調整用サイドウォールの厚みは、40～100nmであり、
上記第4の工程における燐イオンの注入条件は、加速エネルギーが5～20keVで、注入量が $2\sim 4\times 10^{15}\text{cm}^{-2}$ であることを特徴とするMIS型半導体装置の製造方法。

【請求項3】 請求項1記載のMIS型半導体装置の製造方法において、
上記第4の工程では、低濃度の燐イオンを注入し、
上記第4の工程の後かつ上記第5の工程の前に、上記チャネル調整用サイドウォールの上にLDD用サイドウォールを形成する工程と、上記LDD用サイドウォールをマスクとして上記ゲート電極及び上記半導体基板の内部に高濃度の燐イオンを注入する工程とをさらに備え、
上記第5の工程では、上記高濃度の燐イオンを拡散、活性化させて、上記半導体基板内の上記n型ソース・ドレイン領域の外側にn型高濃度ソース・ドレイン領域を形成することを特徴とするMIS型半導体装置の製造方法。

【請求項4】 請求項3記載のMIS型半導体装置の製造方法において、
上記第3の工程で形成されるチャネル調整用サイドウォールの厚みは、30～70nmであり、
上記第4の工程における燐イオンの注入条件は、加速エネルギーが5～20keVで、注入量が $1\sim 5\times 10^{14}\text{cm}^{-2}$ であり、
上記高濃度の燐イオンを注入する工程における燐イオンの注入条件は、加速エネルギーが5～20keVで、注入量が $2\sim 4\times 10^{15}\text{cm}^{-2}$ であることを特徴とするMIS型半導体装置の製造方法。

【請求項5】 請求項1記載のMIS型半導体装置の製造方法において、

上記第1～第3の工程では、半導体基板上のpチャネル型MISトランジスタ形成領域の上にも、上記nチャネル型MISトランジスタ形成領域における同様のゲート絶縁膜、ゲート電極及びチャネル調整用サイドウォールを形成し、

上記第3の工程の後上記第5の工程の前に、上記pチャネル型MISトランジスタ形成領域において、上記チャネル調整用サイドウォールをマスクとして上記ゲート電極及び上記半導体基板の内部にp型不純物イオンを注入する工程をさらに備え、

上記第5の工程では、上記pチャネル型MISトランジスタ形成領域のゲート電極を低抵抗のp型ゲート電極にするとともに上記半導体基板内の上記p型ゲート電極の両側方に位置する領域にp型ソース・ドレイン領域を形成することを特徴とするMIS型半導体装置の製造方法。

【請求項6】 請求項5記載のMIS型半導体装置の製造方法において、

上記第4の工程では、低濃度の燐イオンを注入し、
上記p型不純物イオンを注入する工程では、低濃度のp型不純物イオンを注入し、

上記第4の工程及びp型不純物イオンを注入する工程の後、かつ上記第5の工程の前に、上記チャネル調整用サイドウォールの側面上にLDD用サイドウォールを形成する工程と、

上記nチャネル型MISトランジスタ形成領域において、上記LDD用サイドウォールをマスクとして上記ゲート電極及び上記半導体基板の内部に高濃度の燐イオンを注入する工程と、

上記pチャネル型MISトランジスタ形成領域において、上記LDD用サイドウォールをマスクとして上記ゲート電極及び上記半導体基板の内部に高濃度のp型不純物イオンを注入する工程とをさらに備え、

上記第5の工程では、上記高濃度の燐イオンと上記高濃度のp型不純物イオンとを拡散、活性化させて、上記n型ソース・ドレイン領域の外側にn型高濃度ソース・ドレイン領域を形成するとともに、上記p型ソース・ドレイン領域の外側にp型高濃度ソース・ドレイン領域を形成することを特徴とするMIS型半導体装置の製造方法。

【請求項7】 請求項1又は3記載のMIS型半導体装置の製造方法において、

上記第3の工程は、
上記半導体基板とゲート電極との露出した部分を酸化して、全面上に酸化膜を形成する工程と、
異方性エッチングにより上記酸化膜をエッチバックし、
上記ゲート電極の両側面上に上記酸化膜の一部をチャネル調整用サイドウォールとして残置させる工程とを含む

ことを特徴とするMIS型半導体装置の製造方法。

【請求項8】 請求項1又は3記載のMIS型半導体装置の製造方法において、

上記第5の工程では、975～1050℃、約10秒間のRTA処理を行うことを特徴とするMIS型半導体装置の製造方法。

【請求項9】 半導体基板のnチャネル型MISTランジスタ形成領域の上にゲート絶縁膜を形成する第1の工程と、

上記ゲート絶縁膜上にゲート電極を形成する第2の工程と、

上記半導体基板及びゲート電極の上にチャネル調整用絶縁膜を形成する第3の工程と、

上記nチャネル型MISTランジスタ形成領域上の上記チャネル調整用絶縁膜内に燐イオンを導入する第4の工程と、

上記チャネル調整用絶縁膜の上にLDD用絶縁膜を堆積する第5の工程と、

異方性エッチングにより上記チャネル調整用絶縁膜及び上記LDD用絶縁膜を同時にエッチバックして、上記ゲート電極の両側面上にはほぼL字型のチャネル調整用絶縁膜とLDD用絶縁膜とをサイドウォールとして残置させる第6の工程と、

上記nチャネル型MISTランジスタ形成領域において、上記サイドウォールをマスクとして上記ゲート電極及び上記半導体基板の内部に高濃度の燐イオンを注入する第7の工程と、

熱処理により、上記各工程で注入された燐イオンを拡散、活性化させて、上記ゲート電極を低抵抗のn型ゲート電極にするとともに上記半導体基板内の上記サイドウォールの側方に位置する領域にn型高濃度ソース・ドレイン領域を形成する一方、上記半導体基板内の上記ゲート電極の下方に位置する領域と上記n型高濃度ソース・ドレイン領域との間にn型低濃度ソース・ドレイン領域を形成する第8の工程とを備えていることを特徴とするMIS型半導体装置の製造方法。

【請求項10】 請求項9記載のMIS型半導体装置の製造方法において、

上記第1～第3の工程では、半導体基板のpチャネル型MISTランジスタ形成領域の上にも、上記nチャネル型MISTランジスタ形成領域における同様のゲート絶縁膜、ゲート電極及びチャネル調整用絶縁膜を形成し、

上記第3の工程の後上記第5の工程の前に、上記pチャネル型MISTランジスタ形成領域上の上記チャネル調整用絶縁膜内にp型不純物イオンを導入する工程をさらに備え、

上記第5、第6の工程では、上記pチャネル型MISTランジスタ形成領域内においても、上記nチャネル型MISTランジスタ形成領域における同様のLDD用絶

縁膜及びL字型のチャネル調整用絶縁膜とからなるサイドウォールを形成し、

上記第6の工程の後上記第8の工程の前に、上記pチャネル型MISTランジスタ形成領域において、上記サイドウォールをマスクとして上記ゲート電極及び上記半導体基板の内部に高濃度のp型不純物イオンを注入する工程をさらに備え、

上記第8の工程では、上記pチャネル型MISTランジスタ形成領域においても、上記各工程で注入されたp型不純物イオンを拡散、活性化させて、上記ゲート電極を低抵抗のp型ゲート電極にするとともに上記半導体基板内の上記サイドウォールの側方に位置する領域にp型高濃度ソース・ドレイン領域を形成する一方、上記半導体基板内の上記ゲート電極の下方に位置する領域と上記p型高濃度ソース・ドレイン領域との間にp型低濃度ソース・ドレイン領域を形成することを特徴とするMIS型半導体装置の製造方法。

【請求項11】 請求項9記載のMIS型半導体装置の製造方法において、

上記第3の工程では、上記半導体基板とゲート電極との露出した部分を酸化して、全面上に酸化膜を形成することを特徴とするMIS型半導体装置の製造方法。

【請求項12】 請求項9記載のMIS型半導体装置の製造方法において、

上記第8の工程では、975～1050℃、約10秒間のRTA処理を行うことを特徴とするMIS型半導体装置の製造方法。

【請求項13】 請求項1又は9記載のMIS型半導体装置の製造方法において、

上記半導体基板がSOI基板であることを特徴とするMIS型半導体装置の製造方法。

【請求項14】 半導体基板上に少なくともnチャネル型MISTランジスタを搭載してなるMIS型半導体装置であって、

上記nチャネル型MISTランジスタは、

上記半導体基板上に形成されたゲート絶縁膜と、

上記ゲート絶縁膜上に設けられた導電体膜に燐イオンを注入して形成されたn型ゲート電極と、

上記n型ゲート電極の両側面上に設けられたチャネル調整用サイドウォールと、

上記半導体基板内の上記n型ゲート電極の両側方に位置する領域に上記n型ゲート電極への燐イオンの注入と同時に燐イオンを注入して形成されたn型ソース・ドレイン領域とを備えていることを特徴とするMIS型半導体装置。

【請求項15】 請求項14記載のMIS型半導体装置において、

上記半導体基板上に形成されたゲート絶縁膜と、

上記ゲート絶縁膜上に設けられた導電体膜にp型不純物を注入して形成されたp型ゲート電極と、

上記p型ゲート電極の両側面上に設けられたチャネル調整用サイドウォールと、

上記半導体基板内の上記p型ゲート電極の両側方に位置する領域に上記p型ゲート電極へのp型不純物イオンの注入と同時にp型不純物イオンを注入して形成されたp型ソース・ドレイン領域とを有するpチャネル型MISトランジスタをさらに備えていることを特徴とするMIS型半導体装置。

【請求項16】 請求項14又は15記載のMIS型半導体装置において、

上記n型及びp型ゲート電極の厚みは100～200nmであり、

少なくとも上記n型ソース・ドレイン領域の深さは、0.15～0.2μmであることを特徴とするMIS型半導体装置。

【請求項17】 請求項14又は15記載のMIS型半導体装置において、

上記n型ソース・ドレイン領域における燐の最大濃度は、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ cm}^{-3}$ であり、

上記n型ゲート電極における燐の最大濃度は、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることを特徴とするMIS型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ゲート電極とソース・ドレイン領域とに同時に不純物を導入して構成されるMIS型半導体装置に関するものである。

【0002】

【従来の技術】近年、コンピュータを始めとする電子機器の高性能化により、半導体集積回路にはますます高集積、高速、低消費電力などの性能が求められている。これらの半導体集積回路の大部分はMOS(Metal Oxide on Semiconductor)型トランジスタと呼ばれる半導体素子で構成されている。

【0003】以下、図面を参照しながら、上記従来のMOS型半導体装置の一例について説明する。

【0004】図11(a)～図11(c)は、従来の相補型MOS(CMOS型)半導体装置(FET)の製造工程を示す断面図である。

【0005】まず、図11(a)に示すように、nチャネル型MOSTランジスタ形成領域であるp型半導体領域2a(本従来例では、p型半導体基板1と同じ不純物濃度の領域)と、pチャネル型MOSTランジスタ形成領域であるn型半導体領域2b(nウェル)と、p型半導体領域2a～n型半導体領域2b間を分離する素子分離領域3とが形成されているp型半導体基板1の上に、厚みが4～8nmのゲート酸化膜4と、厚みが100～200nmのゲート電極15とを形成する。

【0006】次に、図11(b)に示すように、nチャネル型MOSTランジスタのゲート電極15と、p型半

導体領域2a内のゲート電極15の両側方に位置する領域18とに砒素イオン(As⁺)を注入する。注入条件は、例えば加速エネルギーが30～60KeV、注入量が $6 \sim 8 \times 10^{15} \text{ cm}^{-2}$ である。一方、pチャネル型MOSTランジスタのゲート電極15と、n型半導体領域2b内のゲート電極15の両側方に位置する領域19とにフッ化ホウ素イオン(BF₂⁺)を注入する。注入条件は、例えば加速エネルギーが10～30KeV、注入量が $3 \sim 6 \times 10^{15} \text{ cm}^{-2}$ である。

10 【0007】最後に、図11(c)に示す工程で、1000℃、10秒間の熱処理(RTA)を行い不純物イオンを活性化する。この熱処理により、nチャネル型MOSTランジスタ形成領域においては、ゲート電極15を低抵抗化してn型ゲート電極15aとし、p型半導体領域2a中にn型ソース・ドレイン領域18aを形成する一方、pチャネル型MOSTランジスタ形成領域においては、ゲート電極15を低抵抗化してp型ゲート電極15bとし、n型半導体領域2b中にp型ソース・ドレイン領域19aを形成する。

20 【0008】

【発明が解決しようとする課題】しかしながら、上記従来のようなゲート電極とソース・ドレイン領域とに不純物を同時に注入して形成されるnチャネル型MOSTランジスタにおいて、以下のような問題があった。

【0009】問題点(1)

nチャネル型MOSTランジスタのドレイン領域18aにおいて、砒素イオンの注入によって形成される結晶欠陥のために、ジャンクションにおけるリーク電流が大きい。

30 【0010】問題点(2)

nチャネル型MOSTランジスタのドレイン領域18aにおいて、電界が比較的大きくGIDL(Gate Induced Drain Leakage)電流が大きい。

【0011】問題点(3)

nチャネル型MOSTランジスタのドレイン領域18aにおいて、プロファイルが急峻なのでジャンクションの寄生容量が大きくなる。

【0012】問題点(4)

40 nチャネル型MOSTランジスタのドレイン領域18a付近の電界が大きく、キャリアがインバクトイオン化を起こしやすい。そのために、MOS型トランジスタのドレイン電流が減少したり、MOS型トランジスタのしきい値が変動するなどの経時劣化が大きい。つまり、信頼性が低い。

【0013】また、CMOS型トランジスタにおいては、さらに下記の問題点(5)、(6)が生じる。

【0014】問題点(5)

50 砒素の拡散係数とホウ素の拡散係数の差によって、pチャネル型MOSTランジスタの実効チャネル長がnチャネル型MOSTランジスタの実効チャネル長よりも短く

なり過ぎ、性能面で両トランジスタのバランスが悪化する。

【0015】問題点(6)

nチャネル型MOSトランジスタのゲート電極15aの空乏化とpチャネル型MOSトランジスタのゲート電極15bのホウ素イオンの突き抜けを同時に抑制できない。つまり、RTAのような短時間の熱処理(例えば1000℃, 10秒)を行うと、nチャネル型MOSトランジスタのゲート電極15a中の砒素イオンの活性化が不十分で空乏化を起こし、駆動力が低下する虞れがある。その一方、長時間の熱処理(例えば900℃, 30分)を行うと、pチャネル型MOSトランジスタのゲート電極15b中のホウ素イオンがチャネル領域に拡散しデバイスの特性を劣化させる虞れがある。

【0016】本発明は上記問題点に鑑みてなされたものであり、その目的は、不純物イオンをゲート電極とソース・ドレイン領域とに同時に注入して形成されるMIS型トランジスタにおいて、寄生容量の低減による動作速度の向上と、リーク電流の低減と、信頼性の向上とを図ることにある。

【0017】

【課題を解決するための手段】上記目的を達成するために、本発明が講じた手段は、ゲート電極の両側面上にチャネル調整用サイドウォールを予め形成してから、ゲート電極とソース・ドレイン領域への燐イオンの同時注入を行うことにある。

【0018】具体的には、本発明に係る第1のMIS型半導体装置の製造方法は、請求項1に記載されるように、半導体基板上のnチャネル型MISトランジスタ形成領域の上にゲート絶縁膜を形成する第1の工程と、上記ゲート絶縁膜上にゲート電極を形成する第2の工程と、上記ゲート電極の両側面上にチャネル調整用サイドウォールを形成する第3の工程と、上記nチャネル型MISトランジスタ形成領域において、上記チャネル調整用サイドウォールをマスクとして上記ゲート電極及び上記半導体基板の内部に燐イオンを注入する第4の工程と、熱処理により上記燐イオンを拡散、活性化させて、上記ゲート電極を低抵抗のn型ゲート電極とするとともに上記半導体基板内の上記n型ゲート電極の両側方に位置する領域にn型ソース・ドレイン領域を形成する第5の工程とを備えている。

【0019】この方法により、nチャネルMISトランジスタのソース・ドレイン領域が、砒素イオンよりもイオン半径の小さい燐イオンを導入して形成されているために、結晶欠陥が少なくなり、ジャンクションにおけるリーク電流が低減される。また、燐イオンのソース・ドレイン領域における濃度分布がなだらかなるので、ドレイン領域における電界は小さくなり、GIDL電流が低減される。さらに、ソース・ドレイン領域が深くなるので、空乏層の幅が増大し、寄生容量が低減される。ま

た、電界のドレイン領域近傍への集中が緩和され、ホットキャリアの発生に起因する特性の劣化を有効に防止できる。さらに、ゲート電極の両側にチャネル調整用サイドウォールが設けられているので、ゲート電極とドレイン領域とのオーバーラップ量が大きくなることはなく、ゲート・ドレイン間容量が低減される。すなわち、上述の問題点(1)～(4)が解消する。

【0020】請求項2に記載されるように、請求項1において、上記第3の工程で形成されるチャネル調整用サイドウォールの厚みは、40～100nmであり、上記第4の工程における燐イオンの注入条件は、加速エネルギーが5～20keVで、注入量が $2\sim4\times10^{15}\text{cm}^{-2}$ であることが好ましい。

【0021】請求項3に記載されるように、請求項1において、上記第4の工程では、低濃度の燐イオンを注入し、上記第4の工程の後かつ上記第5の工程の前に、上記チャネル調整用サイドウォールの上にLDD用サイドウォールを形成する工程と、上記LDD用サイドウォールをマスクとして上記ゲート電極及び上記半導体基板の内部に高濃度の燐イオンを注入する工程とをさらに備え、上記第5の工程では、上記高濃度の燐イオンを拡散、活性化させて、上記半導体基板内の上記n型ソース・ドレイン領域の外側にn型高濃度ソース・ドレイン領域を形成することができる。

【0022】この方法により、nチャネル型MISトランジスタがいわゆるLDD構造となるので、短チャネル効果の防止機能の高いかつ微細なnチャネル型MISトランジスタの形成が可能となる。

【0023】請求項4に記載されるように、請求項3において、上記第3の工程で形成されるチャネル調整用サイドウォールの厚みは、30～70nmであり、上記第4の工程における燐イオンの注入条件は、加速エネルギーが5～20keVで、注入量が $1\sim5\times10^{14}\text{cm}^{-2}$ であり、上記高濃度の燐イオンを注入する工程における燐イオンの注入条件は、加速エネルギーが5～20keVで、注入量が $2\sim4\times10^{15}\text{cm}^{-2}$ であることが好ましい。

【0024】請求項5に記載されるように、請求項1において、上記第1～第3の工程では、半導体基板上のpチャネル型MISトランジスタ形成領域の上にも、上記nチャネル型MISトランジスタ形成領域におけると同様のゲート絶縁膜、ゲート電極及びチャネル調整用サイドウォールを形成し、上記第3の工程の後上記第5の工程の前に、上記pチャネル型MISトランジスタ形成領域において、上記チャネル調整用サイドウォールをマスクとして上記ゲート電極及び上記半導体基板の内部にp型不純物イオンを注入する工程をさらに備え、上記第5の工程では、上記pチャネル型MISトランジスタ形成領域のゲート電極を低抵抗のp型ゲート電極にするとともに上記半導体基板内の上記p型ゲート電極の両側方に

位置する領域にp型ソース・ドレイン領域を形成することができる。

【0025】この方法により、CMIS型半導体装置が形成されるが、同じ条件下で熱処理を行って不純物イオンを活性化した後、nチャネル型MISTランジスタのソース・ドレイン領域とpチャネル型MISTランジスタのソース・ドレイン領域とはほぼ同じ深さや実効チャネル長を有する。したがって、性能面でpチャネル型MISTランジスタとnチャネル型MISTランジスタとのバランスがよくなる。また、n型ゲート電極に燐イオンを注入しているため、p型ゲート電極からチャネル側にp型不純物イオンが突き抜けを起こさない程度の短時間あるいは低温条件下の熱処理でもnゲート電極が空乏化することなく、高い駆動力が得られる。すなわち、上記問題点(5)及び(6)が解消することになる。

【0026】請求項6に記載されるように、請求項5において、上記第4の工程では、低濃度の燐イオンを注入し、上記p型不純物イオンを注入する工程では、低濃度のp型不純物イオンを注入し、上記第4の工程及びp型不純物イオンを注入する工程の後、かつ上記第5の工程の前に、上記チャネル調整用サイドウォールの側面上にLDD用サイドウォールを形成する工程と、上記nチャネル型MISTランジスタ形成領域において、上記LDD用サイドウォールをマスクとして上記ゲート電極及び上記半導体基板の内部に高濃度の燐イオンを注入する工程と、上記pチャネル型MISTランジスタ形成領域において、上記LDD用サイドウォールをマスクとして上記ゲート電極及び上記半導体基板の内部に高濃度のp型不純物イオンを注入する工程とをさらに備え、上記第5の工程では、上記高濃度の燐イオンと上記高濃度のp型不純物イオンとを拡散、活性化させて、上記n型ソース・ドレイン領域の外側にn型高濃度ソース・ドレイン領域を形成するとともに、上記p型ソース・ドレイン領域の外側にp型高濃度ソース・ドレイン領域を形成することができる。

【0027】この方法により、nチャネル及びpチャネル型MISTランジスタがいわゆるLDD構造となるので、短チャネル効果の防止機能の高いかつ微細なMISTランジスタの形成が可能となる。

【0028】請求項7に記載されるように、請求項1又は3において、上記第3の工程は、上記半導体基板とゲート電極との露出した部分を酸化して、全面上に酸化膜を形成する工程と、異方性エッチングにより上記酸化膜をエッチバックし、上記ゲート電極の両側面上に上記酸化膜の一部をチャネル調整用サイドウォールとして残置させる工程とを含むことができる。

【0029】この方法により、上記作用に加えて、下記的作用が得られる。膜厚の制御性のよい酸化法により、かつゲート電極の側部の酸化によりチャネル調整用サイドウォールが形成されるので、ゲート容量とゲート・ド

レイン間容量とが低減し、回路動作が高速化される。また、チャネル調整用サイドウォールの幅を極めて薄くすることが可能となり、フォトリソグラフィの精度で決定されるゲート長の限界以上に微細なゲート長を有するMISTランジスタの形成が可能となる。

【0030】請求項8に記載されるように、請求項1又は3において、上記熱処理を行う工程では、975〜1050℃、約10秒間のRTA処理を行うことが好ましい。

10 【0031】この方法により、MISTランジスタのゲート電極からチャネル領域への不純物イオンの突き抜けやゲート電極の空乏化を生じない範囲で、不純物イオンの拡散、活性化が行われるとともに、ランジスタのソース・ドレイン領域の形状も良好となる。

【0032】本発明に係る第2のMIS型半導体装置の製造方法は、請求項9に記載されるように、半導体基板のnチャネル型MISTランジスタ形成領域の上にゲート絶縁膜を形成する第1の工程と、上記ゲート絶縁膜上にゲート電極を形成する第2の工程と、上記半導体基板及びゲート電極の上にチャネル調整用絶縁膜を形成する第3の工程と、上記nチャネル型MISTランジスタ形成領域上の上記チャネル調整用絶縁膜内に燐イオンを導入する第4の工程と、上記チャネル調整用絶縁膜の上にLDD用絶縁膜を堆積する第5の工程と、異方性エッチングにより上記拡散用絶縁膜及び上記LDD用絶縁膜を同時にエッチバックして、上記ゲート電極の両側面上にほぼL字型のチャネル調整用絶縁膜とLDD用絶縁膜とをサイドウォールとして残置させる第6の工程と、上記nチャネル型MISTランジスタ形成領域において、上記サイドウォールをマスクとして上記ゲート電極及び上記半導体基板の内部に高濃度の燐イオンを注入する第7の工程と、熱処理により、上記各工程で注入された燐イオンを拡散、活性化させて、上記ゲート電極を低抵抗のn型ゲート電極にするとともに上記半導体基板内の上記サイドウォールの側方に位置する領域にn型高濃度ソース・ドレイン領域を形成する一方、上記半導体基板内の上記ゲート電極の下方に位置する領域と上記n型高濃度ソース・ドレイン領域との間にn型低濃度ソース・ドレイン領域を形成する第8の工程とを備えている。

40 【0033】この方法により、LDD構造のnチャネル型MISTランジスタにおける低濃度ソース・ドレイン領域が浅く、かつ高めの濃度で形成されるので、ソース・ドレイン領域のシート抵抗値を小さくしたままで短チャネル効果の防止機能の高いnチャネル型ランジスタが形成される。

【0034】請求項10に記載されるように、請求項9において、上記第1〜第3の工程では、半導体基板のpチャネル型MISTランジスタ形成領域の上にも、上記nチャネル型MISTランジスタ形成領域におけると同様のゲート絶縁膜、ゲート電極及びチャネル調整用絶縁

11

膜を形成し、上記第3の工程の後上記第5の工程の前に、上記pチャネル型MISトランジスタ形成領域上の上記チャネル調整用絶縁膜内にp型不純物イオンを導入する工程をさらに備え、上記第5、第6の工程では、上記pチャネル型MISトランジスタ形成領域内においても、上記nチャネル型MISトランジスタ形成領域における同様のLDD用絶縁膜及びL字型のチャネル調整用絶縁膜とからなるサイドウォールを形成し、上記第6の工程の後上記第8の工程の前に、上記pチャネル型MISトランジスタ形成領域において、上記サイドウォールをマスクとして上記ゲート電極及び上記半導体基板の内部に高濃度のp型不純物イオンを注入する工程をさらに備え、上記第8の工程では、上記pチャネル型MISトランジスタ形成領域においても、上記各工程で注入されたp型不純物イオンを拡散、活性化させて、上記ゲート電極を低抵抗のp型ゲート電極にするとともに上記半導体基板内の上記サイドウォールの側方に位置する領域にp型高濃度ソース・ドレイン領域を形成する一方、上記半導体基板内の上記ゲート電極の下方に位置する領域と上記p型高濃度ソース・ドレイン領域との間にp型低濃度ソース・ドレイン領域を形成することができる。

【0035】この方法により、LDD構造のCMISトランジスタにおける低濃度ソース・ドレイン領域が浅く、かつ不純物濃度が高めになる。したがって、ソース・ドレイン領域のシート抵抗値を小さくしたままで短チャネル効果の防止機能の高いnチャネル及びpチャネル型トランジスタが得られる。

【0036】請求項11に記載されるように、請求項9において、上記第3の工程では、上記半導体基板とゲート電極との露出した部分を酸化して、全面上に酸化膜を形成することができる。

【0037】この方法により、ゲート電極が酸化されるので、ゲート容量及びゲート・ドレイン間容量が小さくなる。したがって、動作速度の高いMIS型半導体装置が得られることになる。

【0038】請求項12に記載されるように、請求項9において、上記第8の工程では、975～1050℃、約10秒間のRTA処理を行うことが好ましい。

【0039】請求項13に記載されるように、請求項1又は9において、上記半導体基板をSOI基板とすることができる。

【0040】この方法により、燐イオンのソース・ドレイン領域への導入によって、ドレイン領域における電界が緩和される。したがって、ドレイン近傍におけるキャリアのインパクトイオン化が抑制され、基板の電位がとれないSOI-MIS型半導体装置の弱点であるキャリアのインパクトイオン化に起因する劣化の少ないSOI-MIS型半導体装置が形成されることになる。

【0041】本発明に係るMIS型半導体装置は、請求項14に記載されるように、半導体基板上に少なくとも

12

nチャネル型MISトランジスタを搭載してなるMIS型半導体装置であって、上記nチャネル型MISトランジスタは、上記半導体基板上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に設けられた導電体膜に燐イオンを注入して形成されたn型ゲート電極と、上記n型ゲート電極の両側面上に設けられたチャネル調整用サイドウォールと、上記半導体基板内の上記n型ゲート電極の両側方に位置する領域に上記n型ゲート電極への燐イオンの注入と同時に燐イオンを注入して形成されたn型ソース・ドレイン領域とを備えている。

【0042】この構成により、上記各問題点のない、つまりリーク電流の少ない、駆動力の高い、かつ信頼性の高いnチャネル型MISトランジスタを得ることができる。

【0043】請求項15に記載されるように、請求項14において、上記半導体基板上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に設けられた導電体膜にp型不純物を注入して形成されたp型ゲート電極と、上記p型ゲート電極の両側面上に設けられたチャネル調整用サイドウォールと、上記半導体基板内の上記p型ゲート電極の両側方に位置する領域に上記p型ゲート電極へのp型不純物イオンの注入と同時にp型不純物イオンを注入して形成されたp型ソース・ドレイン領域とを有するpチャネル型MISトランジスタをさらに備えることができる。

【0044】この構成により、性能面でpチャネル型MISトランジスタとnチャネル型MISトランジスタとのバランスがよくなるとともに、p型ゲート電極からチャネル側にp型不純物イオンが突き抜けを起こさない程度の短時間あるいは低温条件下の熱処理でもn型ゲート電極が空乏化することなく、高い駆動力を有する半導体装置が得られる。

請求項16に記載されるように、請求項14又は15において、上記n型及びp型ゲート電極の厚みは100～200nmであり、少なくとも上記n型ソース・ドレイン領域の深さは、0.15～0.2μmであることが好ましい。

【0045】請求項17に記載されるように、請求項14又は15において、上記n型ソース・ドレイン領域における燐の最大濃度は、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ cm}^{-3}$ であり、上記n型ゲート電極における燐の最大濃度は、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることが好ましい。

【0046】請求項16又は17の構成により、p型不純物イオンの突き抜けのないp型ゲート電極と、空乏化のないn型ゲート電極と、シート抵抗の小さいソース・ドレイン領域とが得られる。

【0047】

【発明の実施の形態】

(第1の実施形態) まず、本発明の第1の実施形態について、図面を参照しながら説明する。

10

20

30

40

50

【0048】図1(a)～図1(d)は、第1の実施形態におけるnチャネルMOS型半導体装置の製造工程を示す断面図である。

【0049】まず図1(a)に示すように、p型半導体基板1(本実施形態では、p型半導体領域として機能する)の上に厚みが4～8nmのシリコン酸化膜からなるゲート酸化膜4と、厚みが100～200nmのポリシリコン膜からなるゲート電極5とを形成する。

【0050】次に、図1(b)に示すように、CVD法によりゲート電極5及びp型半導体基板1の上に厚みが100～150nmのシリコン酸化膜9を堆積する。

【0051】次に、図1(c)に示すように、異方性ドライエッチングを行って、シリコン酸化膜9をエッチバックし、ゲート電極5の両側面上にチャネル調整用サイドウォール6を形成する。このチャネル調整用サイドウォール6の厚みは、40～100nm程度である。

【0052】次に、図1(d)に示すように、チャネル調整用サイドウォール6をマスクとして用いて燐イオン(P⁺)の注入を行い、ゲート電極5と、p型半導体基板1内のゲート電極5の両側方に位置する領域とに燐イオンを導入する。このときの注入条件は、加速エネルギーが5～20KeV、注入量が $2\sim4\times10^{15}\text{cm}^{-2}$ である。さらに、図1(d)に示す状態で、975～1050℃、10秒の条件、あるいは850℃、20～30分の条件による熱処理を行い、不純物イオン(P⁺)を活性化して、ゲート電極5を低抵抗化されたn型ゲート電極5aとするとともに、p型半導体基板1中にn型ソース・ドレイン領域10aを形成する。n型ソース・ドレイン領域10aの深さは0.15～0.2μm程度である。

【0053】以下の工程は省略するが、層間絶縁膜を介して何層かの金属配線を形成することで、半導体装置が形成される。

【0054】以上の工程を経て製造されたnチャネルMOS型トランジスタは、燐イオンの注入によって形成されたn型ゲート電極5aを有するため、上記従来の砒素イオンを用いて形成されたn型ゲート電極15a(図11(b)参照)と比べてゲート電極の空乏化が起こらず、nチャネルMOS型トランジスタの駆動力が高い。また、上記従来のソース・ドレイン領域は砒素イオンを注入して形成されているが、砒素イオンは拡散係数が小さく接合が浅くなるので、ソース・ドレイン領域の寄生抵抗(シート抵抗)が大きくなる。上記従来の構造によって本実施形態と同程度の機能を発揮し得る構造を得ようとする、サイドウォールの直下部に低濃度ソース・ドレイン領域を形成したいわゆるLDD構造とする必要がある。そのとき、砒素イオンの注入によって形成される低濃度ソース・ドレイン領域の深さは30～50nm程度であり、シート抵抗は1KΩ/□程度である。それに対し、本実施形態では、燐イオンを用いているので砒

素イオンと比べてソース・ドレイン領域の深さが0.15～0.2μm程度まで大きくなる。したがって、シート抵抗が80～100Ω/□程度に低減される。

【0055】なお、本発明におけるチャネル調整用サイドウォール6がない構造で、本実施形態のごとく拡散距離の長い燐イオンを用いてn型ソース・ドレイン領域10aを形成すると、燐イオンの横方向の拡散距離も長くなりn型ゲート電極5aの内方に入り込んだn型ソース・ドレイン領域10aが形成されてしまう。そのため、nチャネルMOSトランジスタの実効チャネル長が小さくなり、ゲート長が小さい領域で特性が劣化し、いわゆる短チャネル効果が大きくなる。そのために、従来、ポリシリコンゲート電極とn型ソース・ドレイン領域とに不純物イオンの同時注入を行う場合には、砒素イオンの注入を行っている。

【0056】それに対し、本発明ではチャネル調整用サイドウォール6を形成してからn型ソース・ドレイン領域10a形成のための燐イオンの注入を行うので、実効チャネル長がゲート長(ポリシリコンの線幅)とほぼ等しく設定でき、短チャネル効果を抑えることができる。そして、短チャネル効果を防止しながら、上述した従来のnチャネルMOSトランジスタにおける問題点(1)～(5)を下記のように解決できる。

【0057】—問題点(1)に対して—

図8(a)、(b)は、本実施形態による燐イオンを注入してソース・ドレイン領域を形成した場合と、従来の方法による砒素イオンを注入してソース・ドレイン領域を形成した場合における接合リーク電流のデータを示す。図8(a)、(b)を比較するとわかるように、砒素イオンの注入によるものでは電流値の大きいリーク(10⁻⁸A)の発生頻度が高いが、本実施形態では電流値の大きいリーク(10⁻⁸A)は生じず、10⁻⁹A以下の微小なリークしか生じていない。すなわち、nチャネルMOSトランジスタのn型ソース・ドレイン領域10aが、砒素イオンよりもイオン半径の小さい燐イオンを導入して形成されているために、結晶欠陥が少なくなり、ジャンクションにおけるリーク電流も小さいことがわかる。

【0058】—問題点(2)に対して—

燐イオンの注入時における濃度分布は砒素イオンの注入時における濃度分布ほど急峻ではなく、かつその後の熱処理による拡散距離も長いので、不純物の濃度分布がなだらかとなる。そのため、n型ドレイン領域10における電界は小さくなり、GIDL電流が低減される。

【0059】—問題点(3)に対して—

図9は、本実施形態による燐イオンを注入してソース・ドレイン領域を形成した場合と、従来の方法による砒素イオンを注入してソース・ドレイン領域を形成した場合とにおけるpn接合部の容量を比較した図である。同図からわかるように、本実施形態のごとく燐イオンを注入

してソース・ドレイン領域を形成したことにより、pn接合部の容量が大幅に低減されている。上述のように、n型ドレイン領域10aが深くなり、かつ燐イオンの濃度分布がなだらかなるので砒素イオンにより形成されるドレイン領域に比べ空乏層の幅が増大する。そのため、寄生容量が低減している。

【0060】一問題点(4)に対して一

上述のように、n型ドレイン領域10aにおける燐イオンの濃度分布がなだらかとなるため、電界のドレイン領域近傍への集中が緩和され、ホットキャリアの発生に起因する特性の劣化を有効に防止でき、よって、信頼性が向上する。

【0061】なお、n型ゲート電極5aの両側面上にチャネル調整用サイドウォール6が設けられているので、n型ゲート電極5aとn型ドレイン領域10aとの間の距離が長くなり、ゲート・ドレイン間容量が小さくなるという利点がある。

【0062】したがって、本実施形態におけるnチャネルMOSトランジスタでは、ジャンクションのリーク電流は小さく、ホットキャリアの発生確率は低く、寄生容量は小さく、GIDL電流は小さい。言い換えると、駆動力が大きく、リーク電流が小さく、かつ信頼性にも優れたデバイスを提供することができる。

【0063】(第2の実施形態)次に、第2の実施形態のMOS型半導体装置について、図面を参照しながら説明する。

【0064】図2(a)～図2(d)は、第2の実施形態におけるnチャネルMOS型半導体装置の製造工程を示す断面図である。

【0065】まず図2(a)に示すように、p型半導体基板1(本実施形態では、p型半導体領域として機能する)の上に厚みが4～8nmのシリコン酸化膜からなるゲート酸化膜4と、厚みが100～200nmのポリシリコン膜からなるゲート電極5とを形成する。

【0066】次に、図2(b)に示すように、熱酸化によりゲート電極5の上面及び両側面とp型半導体基板1の表面の上に厚みが5～20nmのシリコン酸化膜8(熱酸化膜)を堆積する。

【0067】次に、図2(c)に示すように、異方性ドライエッチングを行って、シリコン酸化膜8をエッチバックしゲート電極5の側壁にチャネル調整用サイドウォール6を形成する。

【0068】次に、図2(d)に示すように、チャネル調整用サイドウォール6をマスクとして用い、燐イオン(P+)の注入を行い、ゲート電極5と、p型半導体基板1内のゲート電極5の両側方に位置する領域とに燐イオンを導入する。このときの注入条件は、加速エネルギーが5～20KeV、注入量が $2\sim4\times10^{15}\text{cm}^{-2}$ である。さらに、図2(d)に示す状態で、975～1050℃、10秒の条件による熱処理を行い、不純物イオ

ン(P+)を活性化して、ゲート電極5を低抵抗化されたn型ゲート電極5aとするとともに、p型半導体基板1中にn型ソース・ドレイン領域10aを形成する。

【0069】以下の工程は省略するが、層間絶縁膜を介して何層かの金属配線を形成することで、半導体装置が形成される。

【0070】本実施形態の工程を経て製造されたnチャネル型MOSトランジスタは、上記第1の実施形態の製造工程によって製造されたトランジスタと基本的に同じ特徴を有し、上記従来のnチャネル型MOSトランジスタにおける問題点(1)～(4)を解消することができる。加えて、本実施形態では、チャネル調整用サイドウォール6の幅が熱酸化で決まるので制御性が高く、チャネル調整用サイドウォール6がポリシリコン膜(ゲート電極5)を酸化して得られるので、図2(d)に示すように、n型ソース・ドレイン領域10aの表面位置よりもゲート酸化膜4の位置が少し高くなる結果、ゲート容量及びゲート・ドレイン間容量が低減され、回路動作が高速になる。

【0071】しかも、熱酸化によるシリコン酸化膜8(5～20nm)はCVD法によるシリコン酸化膜9(厚み100～150nm)と異なり極めて薄い。したがって、本実施形態は、フォトリソグラフィーの精度で決定される限界のゲート長よりもゲート長を短くできるため、極めて微細なMOSトランジスタを形成することができるという著効が得られる。

【0072】(第3の実施形態)次に、本発明の第3の実施形態について、図面を参照しながら説明する。

【0073】図3(a)～図3(f)は、第3の実施形態におけるnチャネルMOS型半導体装置の製造工程を示す断面図である。

【0074】まず図3(a)に示すように、p型半導体基板1(本実施形態では、p型半導体領域として機能する)の上に厚みが4～8nmのシリコン酸化膜からなるゲート酸化膜4と、厚みが100～200nmのポリシリコン膜からなるゲート電極5とを形成する。

【0075】次に、図3(b)に示すように、CVD法によりゲート電極5及びp型半導体基板1の上に厚みが50～80nmのシリコン酸化膜9を堆積する。

【0076】次に、図3(c)に示すように、異方性ドライエッチングを行って、シリコン酸化膜9をエッチバックしゲート電極5の両側面上に幅(厚み)が40～50nmのチャネル調整用サイドウォール6を形成する。

【0077】次に、図3(d)に示すように、チャネル調整用サイドウォール6をマスクとして用いて燐イオン(P+)の注入を行い、ゲート電極5と、p型半導体基板1内のゲート電極5の両側方に位置する領域10とに低濃度の燐イオンを導入する。このときの注入条件は、加速エネルギーが5～20KeV、注入量が $1\sim5\times10^{14}\text{cm}^{-2}$ である。

【0078】次に、図3(e)に示すように、CVD法によるシリコン酸化膜(図示せず)の堆積と異方性エッチングによるエッチバックとを行って、チャネル調整用サイドウォール6の外側に、幅が150~200nm程度のLDD用サイドウォール7を形成する。

【0079】そして、図3(f)に示すように、各サイドウォール6、7をマスクとして用いて燐イオン(P⁺)の注入を行い、n型ゲート電極5aと、p型半導体基板1内のサイドウォール7の側方に位置する領域とに高濃度の燐イオンを導入する。このときの注入条件は、加速エネルギーが5~20KeV、注入量が2~4×10¹⁵cm⁻²である。さらに、図3(f)に示す状態で、975~1050℃、10秒の条件による熱処理を行い、不純物イオン(P⁺)を活性化して、ゲート電極5を低抵抗化されたn型ゲート電極5aとするとともに、n型低濃度ソース・ドレイン領域10aとn型高濃度ソース・ドレイン領域12aとを形成する。

【0080】以下の工程は省略するが、層間絶縁膜を介して何層かの金属配線を形成することで、半導体装置が形成される。

【0081】本実施形態の製造工程により得られたnチャネルMOSTランジスタは、上述の第1の実施形態で示されたnチャネルMOSTランジスタの特徴に加え、LDD構造による利点をも有する。すなわち、低エネルギー(5~20KeV)のイオン注入によってn型低濃度ソース・ドレイン領域10aを形成しているため、接合が浅くなり、n型低濃度ドレイン領域10aからの空乏層の伸びを小さく抑制することができ、短チャネル効果をより確実に抑制できる。

【0082】(第4の実施形態)次に、本発明の第4の実施形態について、図面を参照しながら説明する。

【0083】図4(a)~図4(d)は、第4の実施形態におけるCMOS型半導体装置の製造工程を示す断面図である。

【0084】まず、図4(a)に示すように、p型半導体基板1の上には、nチャネル型MOSTランジスタ形成領域であるp型半導体領域2a(本実施形態では、p型半導体基板1と同じ不純物濃度の領域)と、pチャネル型MOSTランジスタ形成領域であるn型半導体領域2bと、p型半導体領域2a-n型半導体領域2b間を分離する素子分離領域3とが形成されている。上記p型半導体領域2a及びn型半導体領域2bの上に厚みが4~8nmのシリコン酸化膜からなるゲート酸化膜4と、厚みが100~200nmのポリシリコン膜からなるゲート電極5とを形成する。

【0085】次に、図4(b)に示すように、CVD法によりゲート電極5及びp型半導体基板1の上に厚みが100~150nmのシリコン酸化膜を堆積した後、異方性ドライエッチングを行ってシリコン酸化膜をエッチバックしゲート電極5の両側面上にチャネル調整用サイ

ドウォール6を形成する。

【0086】次に、図4(c)に示すように、p型半導体領域2aにおいては、チャネル調整用サイドウォール6をマスクとして用いて燐イオン(P⁺)の注入を行い、ゲート電極5と、p型半導体領域2a内のゲート電極5の両側方に位置する領域10とに燐イオンを導入する。このときの注入条件は、加速エネルギーが5~20KeV、注入量が2~4×10¹⁵cm⁻²である。ただし、図示しないがp型半導体領域2aに不純物イオンの注入を行う間、n型半導体領域2bはレジストマスクで覆われている。また、n型半導体領域2aにおいては、チャネル調整用サイドウォール6をマスクとして用いてフッ化ホウ素イオン(BF₂⁺)の注入を行い、ゲート電極5と、n型半導体領域2b内のゲート電極5の両側方に位置する領域11とにフッ化ホウ素イオンを導入する。このときの注入条件は、加速エネルギーが10~30KeV、注入量が1~4×10¹⁵cm⁻²である。ただし、図示しないがn型半導体領域2bに不純物イオンの注入を行う間、p型半導体領域2aはレジストマスクで覆われている。

【0087】さらに、図4(d)に示す状態で、975~1050℃、10秒の条件下による熱処理を行い、不純物イオン(P⁺、BF₂⁺)を活性化する。この処理によって、p型半導体領域2aにおいては、ゲート電極5を低抵抗化されたn型ゲート電極5aとするとともに、n型ソース・ドレイン領域10aを形成する。また、n型半導体領域2bにおいては、ゲート電極5を低抵抗化されたp型ゲート電極5bとするとともに、p型ソース・ドレイン領域11aを形成する。

【0088】以下の工程は省略するが、層間絶縁膜を介して何層かの金属配線を形成することで、半導体装置が形成される。

【0089】本実施形態は、基本的には第1の実施形態をCMOS型半導体装置に応用したものであり、nチャネル型MOSTランジスタについては、上記第1の実施形態で述べたとおりの特徴を有する。

【0090】加えて、本実施形態により形成されるCMOS型半導体装置は、上記従来の砒素イオンの注入を用いたnチャネル型MOSTランジスタとフッ化ホウ素イオンの注入を用いたpチャネル型MOSTランジスタを組み合わせたCMOS型半導体装置に比べ、下記の利点を有する。

【0091】第1に上記問題点(5)を解消できる。すなわち、本実施形態ではnチャネル型MOSTランジスタのn型ソース・ドレイン領域10aがホウ素イオンとほぼ同等の拡散係数を有する燐イオンを導入して形成されているため、同じ条件下で熱処理を行って不純物イオンを活性化した後、nチャネル型MOSTランジスタのn型ソース・ドレイン領域10aとpチャネル型MOSTランジスタのp型ソース・ドレイン領域11aとは

ほぼ同じ深さや実効チャネル長を有する。したがって、性能面でpチャネル型MOSトランジスタとnチャネル型MOSトランジスタとのバランスがよくなる。

【0092】第2に上述の問題点(6)を解消できる。図10は、本実施形態における燐イオンを注入して形成されたn型ゲート電極と、従来の砒素イオンを注入して形成されたゲート電極とのシート抵抗を示すデータである。同図に示されるように、燐イオンを注入して形成されたn型ゲート電極のシート抵抗値は、砒素イオンの注入によって形成されn型ゲート電極のシート抵抗値よりも小さく、ゲート電極の空乏化が抑制されている。すなわち、nチャネル型MOSトランジスタのn型ゲート電極5aに燐イオンを注入しているため、pチャネル型MOSトランジスタのp型ゲート電極5bでホウ素のチャネル領域への突き抜けを起こさない程度の短時間あるいは低温条件下の熱処理でもnチャネル型MOSトランジスタのn型ゲート電極5aが空乏化することなく、高い駆動力が得られる。

【0093】(第5の実施形態)次に、本発明の第5の実施形態について、図面を参照しながら説明する。

【0094】図5(a)～図5(e)は、第5の実施形態におけるCMOS型半導体装置の製造工程を示す断面図である。

【0095】まず、図5(a)に示すように、p型半導体基板1の上には、nチャネル型MOSトランジスタ形成領域であるp型半導体領域2a(本実施形態では、p型半導体基板1と同じ不純物濃度の領域)と、pチャネル型MOSトランジスタ形成領域であるn型半導体領域2bと、p型半導体領域2a－n型半導体領域2b間を分離する素子分離領域3とが形成されている。上記p型半導体領域2a及びn型半導体領域2bの上に厚みが4～8nmのシリコン酸化膜からなるゲート酸化膜4と、厚みが100～200nmのポリシリコン膜からなるゲート電極5とを形成する。

【0096】次に、図5(b)に示すように、CVD法によりゲート電極5及びp型半導体基板1の上に厚みが50～80nmのシリコン酸化膜を堆積した後、異方性ドライエッチングを行ってシリコン酸化膜をエッチバックしゲート電極5の両側面上に幅が40～50nmのチャネル調整用サイドウォール6を形成する。

【0097】次に、図5(c)に示すように、nチャネル型MOSトランジスタ形成領域においては、チャネル調整用サイドウォール6をマスクとして用いて燐イオン(P⁺)の注入を行い、ゲート電極5と、p型半導体領域2a内のゲート電極5の両側方に位置する領域10とに燐イオンを導入する。このときの注入条件は、加速エネルギーが5～20KeV、注入量が1～5×10¹⁴cm⁻²である。ただし、図示しないがp型半導体領域2aに不純物イオンの注入を行う間、n型半導体領域2bはレジストマスクで覆われている。また、n型半導体領域

2bにおいては、チャネル調整用サイドウォール6をマスクとして用いてフッ化ホウ素イオン(BF₂⁺)の注入を行い、ゲート電極5と、n型半導体領域2b内のゲート電極5の両側方に位置する領域11とにフッ化ホウ素イオンを導入する。このときの注入条件は、加速エネルギーが5～15KeV、注入量が5～10×10¹⁴cm⁻²である。ただし、図示しないがn型半導体領域2bに不純物イオンの注入を行う間、p型半導体領域2aはレジストマスクで覆われている。

10 【0098】次に、図5(d)に示すように、CVD法によるシリコン酸化膜(図示せず)の堆積と異方性エッチングによるエッチバックとを行って、チャネル調整用サイドウォール6の外側に、幅が150～200nm程度のLDD用サイドウォール7を形成する。

【0099】次に、図5(e)に示すように、p型半導体領域2aでは、各サイドウォール6、7をマスクとして用いて燐イオン(P⁺)の注入を行い、ゲート電極5と、p型半導体領域2a内のサイドウォール6、7の側方に位置する領域とに燐イオンを導入する。このときの注入条件は、加速エネルギーが5～20KeV、注入量が2～4×10¹⁵cm⁻²である。また、n型半導体領域2bでは、各サイドウォール6、7をマスクとして用いてフッ化ホウ素イオン(BF₂⁺)の注入を行い、ゲート電極5と、n型半導体領域2b内のサイドウォール6、7の側方に位置する領域と中にフッ化ホウ素イオンを導入する。このときの注入条件は、加速エネルギーが10～30KeV、注入量が1～4×10¹⁵cm⁻²である。ただし、図示しないが一方の半導体領域に不純物イオンの注入を行う間、他の半導体領域はレジストマスクで覆われている。

30 【0100】さらに、図5(e)に示す状態で、975～1050℃、10秒の条件による熱処理を行い、不純物イオン(P⁺、BF₂⁺)を活性化する。この処理によって、p型半導体領域2aにおいては、ゲート電極5を低抵抗化されたn型ゲート電極5aとするとともに、n型低濃度ソース・ドレイン領域10aと、n型高濃度ソース・ドレイン領域12aとを形成する。また、n型半導体領域2bにおいては、ゲート電極5を低抵抗化されたp型ゲート電極5bとするとともに、p型低濃度ソース・ドレイン領域11aと、p型高濃度ソース・ドレイン領域13aとを形成する。

40 【0101】以下の工程は省略するが、層間絶縁膜を介して何層かの金属配線を形成することで、半導体装置が形成される。

【0102】本実施形態の工程により形成されるCMOS型トランジスタは、以下のように、上記第2の実施形態と第3の実施形態の特徴を併せ持つものである。

【0103】第1に、nチャネル型トランジスタ、pチャネル型MOSトランジスタ共にチャネル調整用サイドウォール6を形成後、浅い注入で低濃度のソース・ドレ

21

イン領域10a、11aを形成するというLDD構造を有するため、各チャネル型MOSTランジスタにおける短チャネル効果を抑制できる。

【0104】第2に、nチャネル型MOSTランジスタの各ソース・ドレイン領域10a、12aを燐イオンを導入して形成しているため、同じ条件下における熱処理後に、nチャネル型MOSTランジスタの各ソース・ドレイン領域10a、12aをpチャネル型MOSTランジスタのソース・ドレイン領域11a、13aとほぼ同様の形状とすることができ、各MOSTランジスタの性能のバランスがよくなる。

【0105】第3に、nチャネル型MOSTランジスタのn型ゲート電極5aが燐イオンの注入により形成されているため、pチャネル型MOSTランジスタのp型ゲート電極5bにおいてホウ素イオンが突き抜けを起こさない程度の短時間あるいは低温条件下の熱処理でも、n型ゲート電極5aが十分活性化され、高い駆動力を得ることができる。

【0106】(第6の実施形態)次に、本発明の第6の実施形態について、図面を参照しながら説明する。

【0107】図6(a)～図6(d)は、第6の実施形態におけるCMOS型半導体装置の製造工程を示す断面図である。

【0108】まず、図6(a)に示すように、p型半導体基板1の上には、nチャネル型MOSTランジスタ形成領域であるp型半導体領域2a(本実施形態では、p型半導体基板1と同じ不純物濃度の領域)と、pチャネル型MOSTランジスタ形成領域であるn型半導体領域2bと、p型半導体領域2a－n型半導体領域2b間を分離する素子分離領域3とが形成されている。上記p型半導体領域2a及びn型半導体領域2bの上に厚みが3～5nmのシリコン酸化膜からなるゲート酸化膜4と、厚みが100～200nmのポリシリコン膜からなるゲート電極5とを形成する。

【0109】次に、図6(b)に示すように、CVD法によりゲート電極5の上面及び両側面と基板表面との上に厚みが5～20nmのシリコン酸化膜9を堆積する。そして、この状態で、p型半導体領域2aでは、燐イオンの注入によりシリコン酸化膜9の中に燐イオンを導入する。注入条件は加速エネルギーが3～10KeV、注入量が $5\sim 8\times 10^{15}\text{cm}^{-2}$ である。また、n型半導体領域2bでは、シリコン酸化膜9の中にフッ化ホウ素イオンを導入する。注入条件は加速エネルギーが3～10KeV、注入量が $3\sim 8\times 10^{15}\text{cm}^{-2}$ である。これらの注入は、不純物濃度のピークR_Pが酸化膜中にあり注入の直後には半導体基板中にほとんど不純物イオンが導入されない条件が望ましいが、半導体基板内に相当数の不純物が入るような条件でも酸化膜を介して注入することにより注入時のイオンのチャネリングが抑えられるので浅い接合を形成できる。

22

【0110】次に、図6(c)に示すように、CVD法によりゲート電極5及びp型半導体基板1の上にシリコン酸化膜9を堆積した後、異方性ドライエッチングを行ってシリコン酸化膜9をエッチバックしゲート電極5の両側面上に幅が120～200nmのチャネル調整用サイドウォール6を形成する。このチャネル調整用サイドウォール6の形成時に異方性ドライエッチによって、ゲート電極や基板表面の熱酸化膜はエッチングされる。そして、図6(c)に示す状態で、p型半導体領域2aにおいては、チャネル調整用サイドウォール6をマスクとして用いて燐イオン(P⁺)の注入を行い、ゲート電極5と、p型半導体領域2a内のサイドウォール6の側方に位置する領域12とに燐イオンを導入する。このときの注入条件は、加速エネルギーが5～20KeV、注入量が $2\sim 4\times 10^{15}\text{cm}^{-2}$ である。ただし、図示しないがp型半導体領域2aに不純物イオンの注入を行う間、n型半導体領域2bはレジストマスクで覆われている。また、n型半導体領域2bにおいては、チャネル調整用サイドウォール6をマスクとして用いてフッ化ホウ素イオン(BF₂⁺)の注入を行い、ゲート電極5と、n型半導体領域2b内のサイドウォール6の側方に位置する領域13とにフッ化ホウ素イオンを導入する。このときの注入条件は、加速エネルギーが10～30KeV、注入量が $1\sim 4\times 10^{15}\text{cm}^{-2}$ である。ただし、図示しないがn型半導体領域2bに不純物イオンの注入を行う間、p型半導体領域2aはレジストマスクで覆われている。

【0111】次に、図6(d)に示すように、975～1050℃、10秒の条件下で熱処理を行い、不純物イオン(P⁺、BF₂⁺)を活性化すると同時にL字状のシリコン酸化膜9内の不純物イオンを半導体基板内に拡散させる。この処理によって、各領域2a、2b上のゲート電極5を低抵抗化されたn型ゲート電極5a及びp型ゲート電極5bとし、n型高濃度ソース・ドレイン領域12aとp型高濃度ソース・ドレイン領域13aとを形成するとともに、nチャネル型MOSTランジスタでは燐イオンをp型半導体領域2a内に拡散させ、pチャネル型MOSTランジスタではホウ素イオンをn型半導体領域2b内に拡散させて、それぞれn型低濃度ソース・ドレイン領域10a及びp型低濃度ソース・ドレイン領域11aを形成する。この場合、nチャネル型MOSTランジスタ、pチャネル型MOSTランジスタのいずれにおいても、低濃度ソース・ドレイン領域における拡散深さX_jが20～40nmで、表面の不純物濃度C_fが $2\sim 8\times 10^{20}\text{cm}^{-3}$ である。また、nチャネル型MOSTランジスタ、pチャネル型MOSTランジスタのいずれにおいても、高濃度ソース・ドレイン領域における拡散深さX_jが100～150nmで、表面の不純物濃度C_fが $1\sim 10\times 10^{20}\text{cm}^{-3}$ である。

【0112】以下の工程は省略するが、層間絶縁膜を介して何層かの金属配線を形成することで、半導体装置が

形成される。

【0113】本実施形態では、低濃度ソース・ドレイン領域10a, 11aを通常のイオン注入ではなく、シリコン酸化膜9からの不純物イオンの拡散によって形成することが大きな特徴である。この方法によると、低濃度ソース・ドレイン領域10a, 11aの深さを非常に浅くし、かつその不純物濃度を高くすることが可能である。その結果、低濃度ソース・ドレイン領域の寄生抵抗（シート抵抗）を小さくしながら同時に短チャネル効果の発生を抑制し得るデバイスが得られる。

【0114】（第7の実施形態）次に、本発明の第7の実施形態について図を参照しながら説明する。

【0115】図7（a）～（e）は、第7の実施形態におけるCMOS型半導体装置の製造工程を示す断面図である。

【0116】ここで、本実施形態の図7（a）～図7（e）に示す工程は、上記第6実施形態における図6（a）～図6（d）に示す工程と基本的には同じである。ただし、図7（b）に示す工程において、本実施形態では、第6実施形態におけるCVD法に代えて、熱酸化法によりシリコン酸化膜8を形成し、このシリコン酸化膜8内に不純物イオンを注入し、後にこのシリコン酸化膜8からの不純物イオンの拡散によって、低濃度ソース・ドレイン領域10a, 11aを形成するようにしている。また、図7（c）は、図6（b）に示す工程と図6（c）に示す工程との間の工程（LDD用サイドウォールを形成した後不純物イオンを注入する前の状態）をより詳細に示している。

【0117】したがって、本実施形態の製造工程で形成されたCMOS型トランジスタは、上記第6実施形態におけるCMOSTランジスタと同様の利点を有する。加えて、ゲート電極を構成するポリシリコン膜を酸化して形成される熱酸化膜を利用することにより、ゲート容量とゲート・ドレイン間容量とを小さくでき、トランジスタで構成される回路の動作を高速化できる。

【0118】ただし、熱酸化膜からの不純物拡散は、CVD酸化膜からの拡散より高温で行うか、あるいは酸化膜中への注入条件を変える必要がある。

【0119】最後に、本発明をSOI（Silicon On Insulator）基板を用いた例について簡単に説明する。従来のSOI-MOSデバイスは埋め込み酸化膜があるため基板の電位が取れないことが大きな欠点であった。すなわち、チャネルを流れるキャリアがインパクトイオン化を起こし電子、ホール対が発生すると、基板の電位を取っていないためホールが基板内にとどまりトランジスタの特性を著しく劣化させる。それに対し、本発明をSOI-MOSデバイスに適用すると、ソース・ドレイン領域が燐イオンを導入して形成されているために、ドレイン付近の電界が弱められキャリアがインパクトイオン化を起こす確率が減少する。したがって、デバ

イスの劣化を有効に防止することができ、従来より耐圧が高く動作精度の良いデバイスが得られる。

【0120】

【発明の効果】請求項1～8によれば、MIS型半導体装置の製造方法として、ゲート電極の両側面上にチャネル調整用サイドウォールを形成し、チャネル調整用サイドウォールをマスクとしてゲート電極及び半導体基板に燐イオンを注入し、低抵抗のn型ゲート電極とn型ソース・ドレイン領域とを形成するようにしたので、砒素イオンよりもイオン半径の小さい燐イオンの導入により形成されたn型ソース・ドレイン領域のジャンクションにおけるリーク電流の低減と、GIDL電流の低減と、寄生容量の低減と、ホットキャリアの発生に起因する特性の劣化の防止とを図ることができ、よって、リーク電流の少ない駆動能力の大きい、かつ信頼性の高いMIS型半導体装置の提供を図ることができる。

【0121】また、CMIS型半導体装置を形成する場合には、p型ゲート電極におけるボロンの突き抜けを起こさない程度の熱処理によってn型ゲート電極の空乏化を抑制することができ、よって、pチャネル型MISTランジスタとnチャネル型MISTランジスタとの性能のバランスのとれた高い駆動力を有するCMIS型半導体装置の提供を図ることができる。

【0122】請求項9～12によれば、L字状のチャネル調整用絶縁膜の上にLDD用絶縁膜を形成し、LDD構造のnチャネル型MISTランジスタを形成するとともに、高濃度ソース・ドレイン領域はゲート電極と同時の燐イオン注入により、低濃度ソース・ドレイン領域はチャネル調整用絶縁膜からの燐イオンの拡散によりそれぞれ形成するようにしたので、ソース・ドレイン領域のシート抵抗値を小さくしたままで短チャネル効果の防止機能の高いnチャネル型トランジスタを搭載したMIS型半導体装置の提供を図ることができる。

【0123】請求項13によれば、各請求項において、半導体基板をSOI基板としたので、インパクトイオン化に起因する劣化の少ないSOI-MIS型半導体装置の提供を図ることができる。

【0124】請求項14～17によれば、半導体基板上に少なくともnチャネル型MISTランジスタを搭載してなるMIS型半導体装置として、nチャネル型MISTランジスタを、ゲート絶縁膜と、導電体膜に燐イオンを注入して形成されたn型ゲート電極と、n型ゲート電極の両側面上に設けられたチャネル調整用サイドウォールと、n型ゲート電極への燐イオンの導入と同時に燐イオンを注入して形成されたn型ソース・ドレイン領域とを備える構成としたので、リーク電流の少ない、駆動力の高い、かつ信頼性の高いnチャネル型MISTランジスタを搭載したMIS型半導体装置又はCMIS型半導体装置の提供を図ることができる。

【図面の簡単な説明】

25

【図1】第1の実施形態におけるnチャネル型MOSトランジスタの製造工程を示す断面図である。

【図2】第2の実施形態におけるnチャネル型MOSトランジスタの製造工程を示す断面図である。

【図3】第3の実施形態におけるLDD構造を有するnチャネル型MOSトランジスタの製造工程を示す断面図である。

【図4】第4の実施形態における相補型MOSトランジスタの製造工程を示す断面図である。

【図5】第5の実施形態におけるLDD構造を有する相補型MOSトランジスタの製造工程を示す断面図である。

【図6】第6の実施形態における相補型MOSトランジスタの製造工程を示す断面図である。

【図7】第7の実施形態における相補型MOSトランジスタの製造工程を示す断面図である。

【図8】燐イオンを注入して形成されたソース・ドレイン領域と砒素イオンを注入して形成されたソース・ドレイン領域における接合リーク電流をそれぞれ示す図である。

【図9】燐イオンを注入して形成されたソース・ドレイン領域と砒素イオンを注入して形成されたソース・ドレイン領域における接合容量を示す図である。

【図10】燐イオンを注入して形成されたn型ゲート電

26

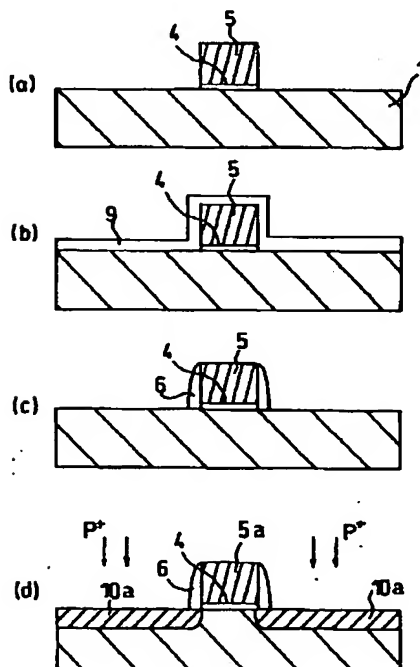
極と砒素イオンを注入して形成されたn型ゲート電極におけるシート抵抗を示す図である。

【図11】従来の相補型MOSトランジスタの製造工程を示す断面図である。

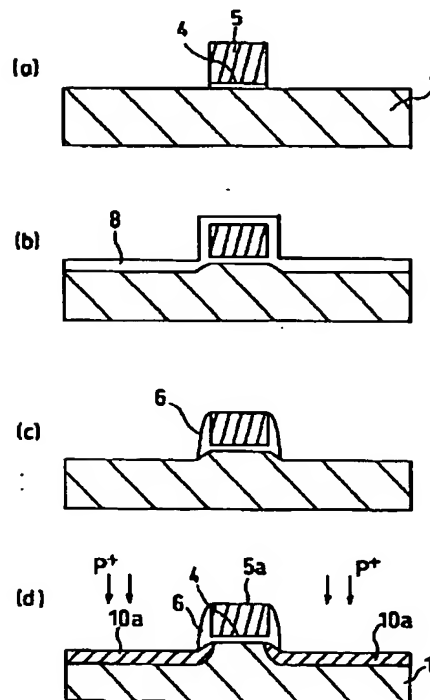
【符号の説明】

- 1 半導体基板
- 2a p型半導体領域
- 2b n型半導体領域
- 3 素子分離領域
- 4 ゲート酸化膜
- 5 ゲート電極
- 6 チャネル調整用サイドウォール
- 7 LDD用サイドウォール
- 8 シリコン酸化膜
- 9 シリコン酸化膜
- 10a n型ソース・ドレイン領域 (n型低濃度ソース・ドレイン領域)
- 11a p型ソース・ドレイン領域 (p型低濃度ソース・ドレイン領域)
- 12a n型高濃度ソース・ドレイン領域
- 13a p型高濃度ソース・ドレイン領域
- 5a n型ゲート電極
- 5b p型ゲート電極

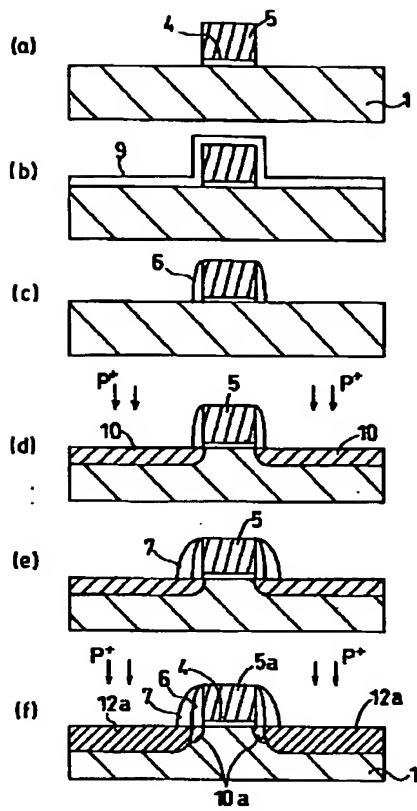
【図1】



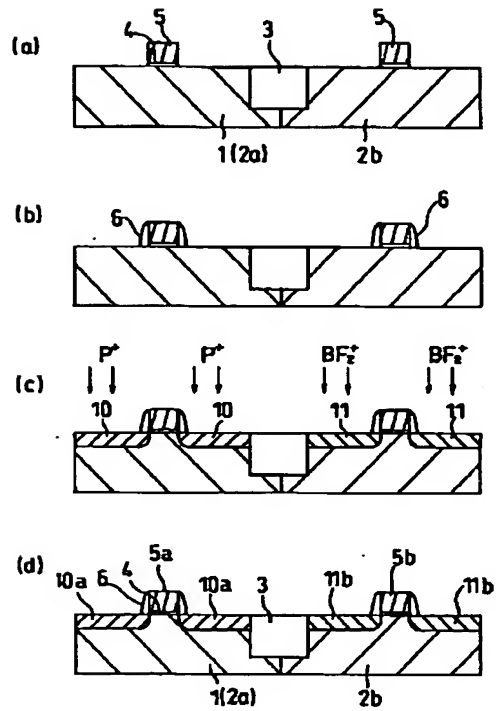
【図2】



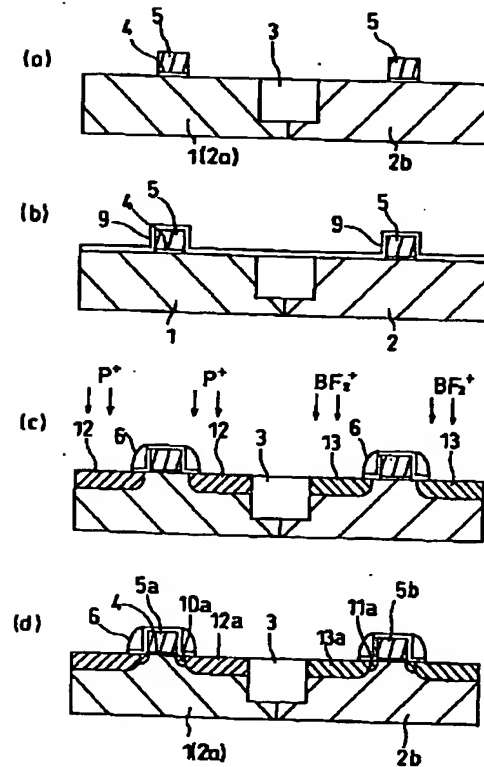
【図3】



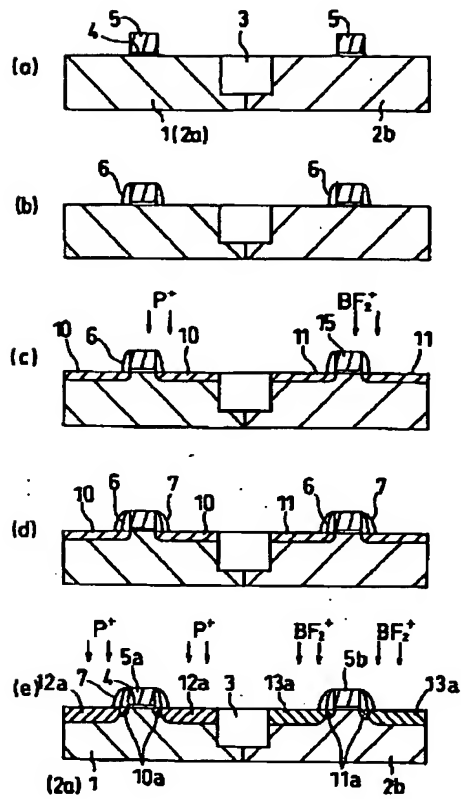
【図4】



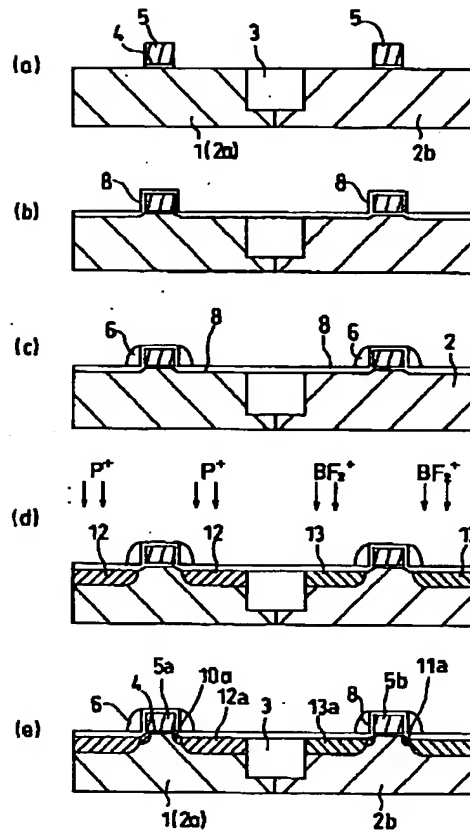
【図6】



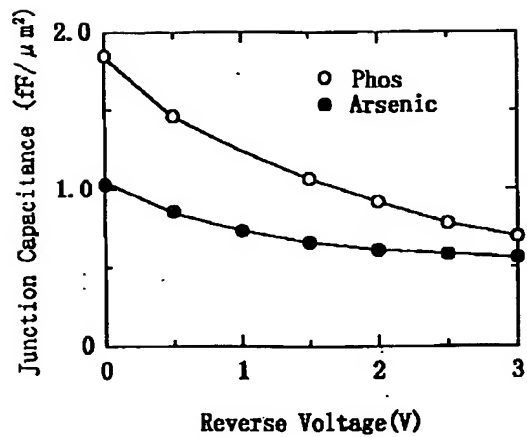
【図5】



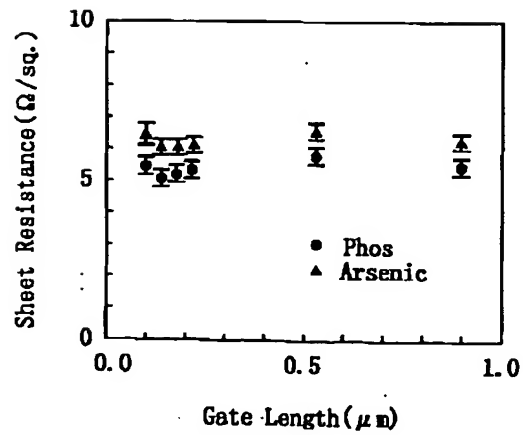
【図7】



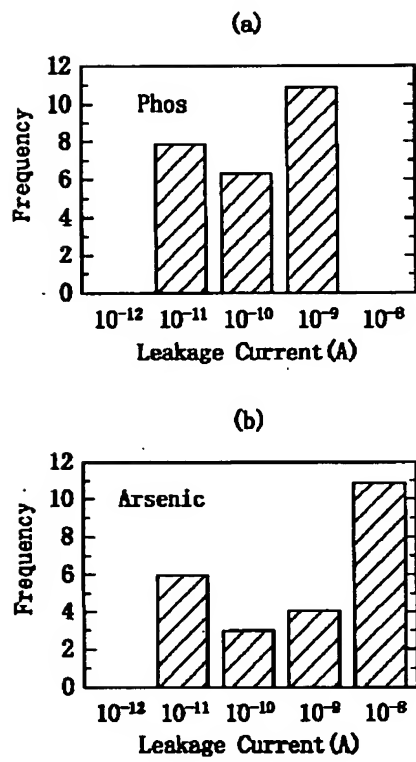
【図9】



【図10】



【図8】



【図11】

